

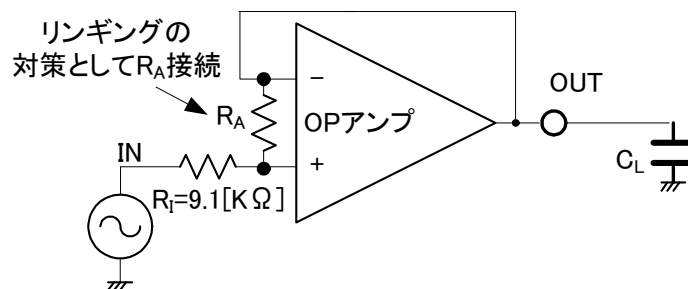
電子回路【問1】レベル3

利得帯域幅積 $GBW=10$ [MHz]でバッファの構成にしても十分位相余裕のあるOPアンプを使い、以下の回路のように容量負荷 C_L を接続したところ、2ndポールが1[MHz]に発生し、バッファではリングングが大きくなった。

対策として正負入力間に抵抗 R_A を接続してリングングを抑えた。

出来るだけ広帯域にて矩形波入力時のオーバーシュートが25%以下となる抵抗値は何[k Ω]か。

但し、接続した C_L は周波数特性がフラットだとする。



- ア 約0.1 イ 約1 ウ 約10 エ 約51

【問1答】 イ

【問1解説】

図1.1の R_A を求めていきます。

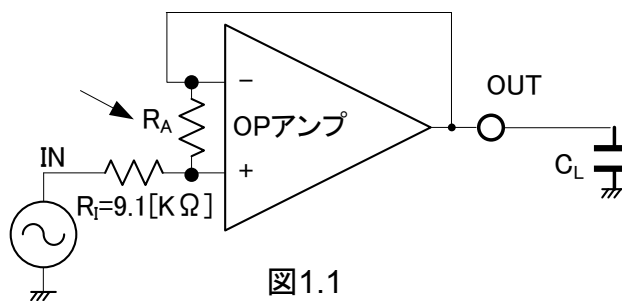


図1.1

この回路でのノイズゲインを A_N とすると以下の式にて表せます。

$$A_N = \left(1 + \frac{R_I}{R_A} \right) \quad \dots \text{式1.1}$$

このOPアンプのGB積は10[MHz]なので、2ndポールが1[MHz]にあるということは、10/1で開ループ特性上での10[倍]のゲインを示しています。ノイズゲインを上げて開ループ特性と同じに設定にすれば、位相余裕は概ね45[°]となるのでリングングを押さえることが出来、帯域も広く設定できます。

(位相余裕45[°]にてオーバーシュートは20[%]程度)

$AN=10$ [倍]となる R_A を以下の式(式1.1を変形したもの)にて求めます。

$$R_A = \frac{R_I}{A_N - 1} \cong 1 \quad \dots \text{式1.2}$$

この時、帯域は1[MHz]以上となります。

【問1の意図】

設計者にとって基板、半導体を問わず、誰もが一度は経験するといっても過言ではない現象に[予想していない発振]があります。発振現象は動かないよりも始末が悪いと言われることもあるように、評価することが出来ないという最悪の状態を招きます。この問題はその中でもありがちな題材を用いて設計者のスキルを問うようにしています。発振の原因、OPアンプの安定度についての理解やノイズゲインの意味、位相余裕とリングングとの関係など発振が起こったときの対処を問う問題となっています。